

Family list**8** family members for: **JP2002351357**

Derived from 5 applications

[Back to JP2002351357](#)

- 1 LIGHT-EMITTING DEVICE, DRIVING METHOD FOR THE SAME, AND ELECTRONIC INSTRUMENT**
Inventor: KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** *H01L51/50; G09F9/30; G09G3/20* (+13)
Publication info: **JP2002351357 A** - 2002-12-06
- 2 Light emitting device, driving method for the same and electronic apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:**
EC: G09G3/32A **IPC:** *G09G3/32; G09G3/32; (IPC1-7): G09G3/10*
Publication info: **US6661180 B2** - 2003-12-09
US2002135312 A1 - 2002-09-26
- 3 Light emitting device, driving method for the same and electronic apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: G09G3/32A **IPC:** *G09G3/32; G09G3/32; (IPC1-7): G09G3/10*
Publication info: **US6914390 B2** - 2005-07-05
US2004100202 A1 - 2004-05-27
- 4 Light emitting device, driving method for the same and electronic apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: G09G3/32A **IPC:** *H01L29/08; H01L27/32; H01L29/02* (+2)
Publication info: **US7106006 B2** - 2006-09-12
US2005218400 A1 - 2005-10-06
- 5 Light Emitting Device, Driving Method for the Same and Electronic Apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** *H01L29/04; H01L29/02*
Publication info: **US2007007527 A1** - 2007-01-11

Data supplied from the *esp@cenet* database - Worldwide

LIGHT-EMITTING DEVICE, DRIVING METHOD FOR THE SAME, AND ELECTRONIC INSTRUMENT

Publication number: JP2002351357

Publication date: 2002-12-06

Inventor: KOYAMA JUN

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- International: H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H05B33/14; H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H05B33/14; (IPC1-7): G09F9/30; G09G3/20; G09G3/30; H05B33/14

- European:

Application number: JP20020075625 20020319

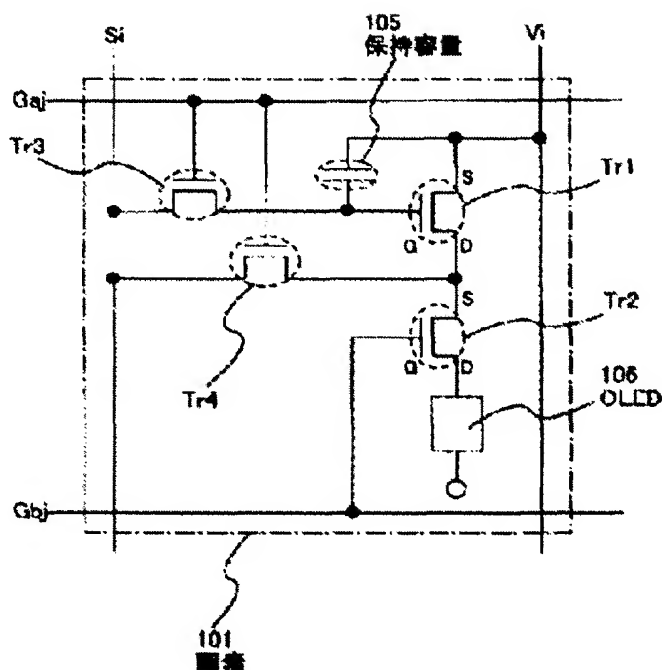
Priority number(s): JP20020075625 20020319; JP20010081779 20010322

Report a data error here

Abstract of JP2002351357

PROBLEM TO BE SOLVED: To provide a light-emitting device which can obtain constant brightness without being affected by deterioration in an organic light-emitting layer or a temperature change and display a desired color display.

SOLUTION: Lowering in OLED(organic light emitting diode) brightness due to the deterioration is reduced by making the OLED emit light while keeping constant an electric current flowing through the OLED instead of making the OLED emit light while keeping constant an OLED driving voltage. That is, the change in the OLED brightness caused by the deterioration of the OLED is prevented by controlling the OLED brightness based on the electric current not on the voltage. Specifically, the drain electric current I_d of a transistor for supplying an electric current is controlled in a signal line drive circuit, thereby the drain electric current I_D is kept constant without relying on the value of a load-resistor.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-351357

(P 2 0 0 2 - 3 5 1 3 5 7 A)

(43) 公開日 平成14年12月6日(2002.12.6)

(51) Int. Cl. 識別記号

G09F 9/30

338

365

G09G 3/20

621

624

641

F I

G09F 9/30

G09G 3/20

テマコード (参考)

338 3K007

365 Z 5C080

621 A 5C094

624 B

641 D

審査請求 未請求 請求項の数16 O L (全32頁) 最終頁に続く

(21) 出願番号 特願2002-75625 (P 2002-75625)

(22) 出願日 平成14年3月19日(2002.3.19)

(31) 優先権主張番号 特願2001-81779 (P 2001-81779)

(32) 優先日 平成13年3月22日(2001.3.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

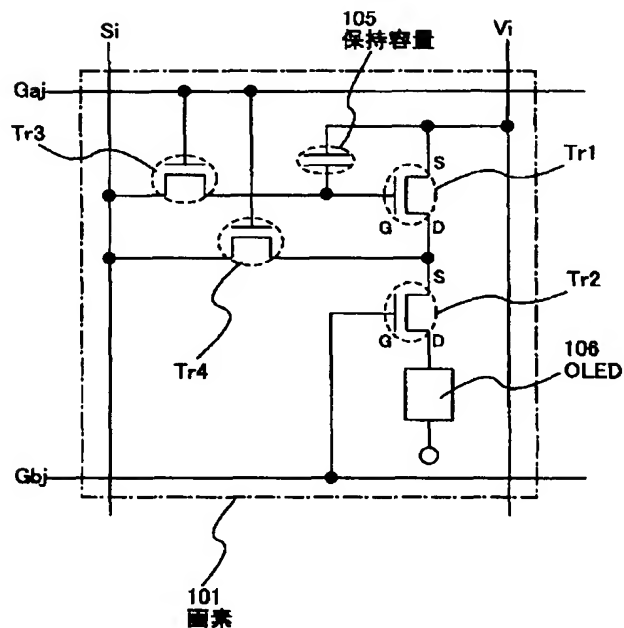
最終頁に続く

(54) 【発明の名称】 発光装置、その駆動方法及び電子機器

(57) 【要約】

【課題】 有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする

【解決手段】 OLED駆動電圧を一定に保ってOLEDを発光させるのではなく、OLEDに流れる電流を一定に保ってOLEDを発光させることで、劣化によるOLEDの輝度の低下を小さくする。すなわち、OLEDの輝度を電圧によって制御するのではなく、電流によって制御することで、OLEDの劣化によるOLEDの輝度の変化を防ぐ。具体的には、OLEDに電流を供給するトランジスタのドレイン電流 I_d を、信号線駆動回路において制御することで、負荷抵抗の値によらずドレイン電流 I_d を一定に保つ。



【特許請求の範囲】

【請求項 1】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。

【請求項 2】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されていることを特徴とする発光装置。

【請求項 3】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。

【請求項 4】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

10 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、

30 前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されていることを特徴とする発光装置。

【請求項 5】請求項 3 または請求項 4 において、前記第 3 及び第 4 のトランジスタと、前記第 2 のトランジスタの極性が逆であることを特徴とする発光装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項において、前記第 3 のトランジスタと前記第 4 のトランジスタの極性が同じであることを特徴とする発光装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項において、前記第 1 のトランジスタと、前記第 2 のトランジスタの極性が同じであることを特徴とする発光装置。

40 【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項において、前記発光装置を用いることを特徴とする電子機器。

【請求項 9】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

50 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトラン

ジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1 フレーム期間内に、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオンになる第 1 の期間と、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフになる第 2 の期間とが設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 10】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されており、
 1 フレーム期間内に、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオンになる第 1 の期間と、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフになる第 2 の期間とが設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 11】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタ

と、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
 前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1 フレーム期間内に、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオンになる第 1 の期間と、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフになる第 2 の期間とが設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 12】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、
 前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、
 前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 1 フレーム期間内に、前記第 3 及び前記第 4 のトランジスタがオンで、なおかつ前記第 5 のトランジスタがオフ

になる第 1 の期間と、

前記第 3 及び前記第 4 のトランジスタがオフで、なおかつ前記第 5 のトランジスタがオフになる第 2 の期間と、前記第 3 及び前記第 4 のトランジスタがオフで、なおかつ前記第 5 のトランジスタがオンになる第 3 の期間と、が設けられており、

前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオン、前記第 3 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 1 3】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、

前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【請求項 1 4】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、

前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【請求項 1 5】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、

前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動

方法。

方法。

【請求項 16】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、

前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間、第 2 の期間及び第 3 の期間が設けられており、

前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタ及び前記第 5 のトランジスタがオフになり、前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオン、前記第 5 のトランジスタがオフになり、

前記第 3 の期間において、前記第 3 及び前記第 4 のトランジスタがオフで、前記第 2 のトランジスタがオン及び前記第 5 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された発光素子、例えば OLED (Organic Light Emitting Diode) を、該基板とカバー材の間に封入した OLED パネルに関する。また、該 OLED パネルにコントローラを含む IC 等を実装した、OLED モジュールに関する。なお本明細書において、OLED パネル及び OLED モジュールを共に発光装置と総称する。本発明はさらに、発光装置の駆動方法と、該発光装置を用いた電子機

器に関する。

【0002】

【従来の技術】OLED は自ら発光するため視認性が高く、液晶表示装置 (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年 OLED を用いた発光装置は、CRT や LCD に代わる表示装置として注目されている。

【0003】OLED は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0004】なお、本明細書では、OLED の陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に OLED は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】

【発明が解決しようとする課題】発光装置を実用化する上で問題となっているのが、有機発光材料の劣化に伴う、OLED の輝度の低下であった。

【0006】有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【0007】有機発光層にかかる電圧が一定であっても、有機発光層が劣化すると OLED の輝度は低下し、表示する画像は不鮮明になる。なお本明細書において、一対の電極から有機発光層に印加する電圧を OLED 駆動電圧 (V_{el}) と定義する。

【0008】また、R (赤)、G (緑)、B (青) に対応した三種類の OLED を用いたカラー化表示方式において、有機発光層を構成する有機発光材料は、OLED の対応する色によって異なる。そのため、OLED の有機発光層が、対応する色ごとに異なる速度で劣化することがある。この場合、時間が経つにつれ、OLED の輝度が色ごとに異なってしまう、発光装置に所望の色を有する画像を表示することができなくなる。

【0009】また、有機発光層の温度は、外気温や OLED パネル自身が発する熱等に左右されるが、一般的に

OLEDは温度によって流れる電流の値が変化する。図27に、有機発光層の温度を変化させたときの、OLEDの電圧電流特性の変化を示す。電圧が一定のとき、有機発光層の温度が高くなると、OLED駆動電流は大きくなる。そしてOLED駆動電流とOLEDの輝度は比例関係にあるため、OLED駆動電流が大きければ大きいほど、OLEDの輝度は高くなる。このように、有機発光層の温度によってOLEDの輝度が変化するため、所望の階調を表示することが難しく、温度の上昇に伴って発光装置の消費電流が大きくなる。

【0010】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。各色の輝度のバランスが崩れると、所望の色を表示することができない。

【0011】本発明は上述したことに鑑み、有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明者は、OLED駆動電圧を一定に保って発光させるのと、OLEDに流れる電流を一定に保って発光させるのとでは、後者の方が、劣化によるOLEDの輝度の低下が小さいことに着目した。なお本明細書において、OLEDに流れる電流をOLED駆動電流(I_{e1})と呼ぶ。そして、OLEDの輝度を電圧によって制御するのではなく、電流によって制御することで、OLEDの劣化によるOLEDの輝度の変化を防ぐことができるのではないかと考えた。

【0013】具体的に本発明では、各画素に設けたトランジスタのドレイン電流I_dを、信号線駆動回路において制御する。トランジスタのドレイン電流I_dを、信号線駆動回路において制御するので、ドレイン電流I_dは負荷抵抗の値によらずに一定になる。

【0014】ドレイン電流I_dが流れると、トランジスタのゲート電極とドレイン領域間に電圧が生じる。そして、該電圧を維持したまま、トランジスタのドレイン電流が単数または複数の回路素子を間に介してOLEDに流れるようにする。なおドレイン電流I_dは、トランジスタが飽和領域において動作するような大きさである。

【0015】上記構成によって、OLEDに流れるOLED駆動電流の値は、負荷抵抗の値によらず信号線駆動回路によって制御されることになる。言い換えると、トランジスタの特性の違いや、OLEDの劣化等に左右されずに、OLED駆動電流を所望の値に制御することが可能になる。

【0016】本発明では、上記構成により、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。ま

た、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0017】また、有機発光層の温度が外気温やOLEDパネル自身が発する熱等に左右されても、OLED駆動電流を所望の値に制御することができる。よって、OLED駆動電流とOLEDの輝度は比例するので、OLEDの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0018】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0019】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0020】なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良い。

【0021】なお本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0022】

10

20

30

40

50

【発明の実施の形態】（実施の形態 1）図 1 に本発明の OLED パネルの構成を、ブロック図で示す。100 は画素部であり、複数の画素 101 がマトリクス状に形成されている。また 102 は信号線駆動回路、103 は第 1 走査線駆動回路、104 は第 2 走査線駆動回路である。

【0023】なお図 1 では信号線駆動回路 102 と、第 1 走査線駆動回路 103 と、第 2 走査線駆動回路 104 が、画素部 100 と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路 102 と第 1 走査線駆動回路 103 と、第 2 走査線駆動回路 104 が画素部 100 と異なる基板上に形成され、FPC 等を介して、画素部 100 と接続されていても良い。また、図 1 では信号線駆動回路 102、第 1 走査線駆動回路 103 及び第 2 走査線駆動回路 104 は 1 つずつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路 102 と第 1 走査線駆動回路 103 と第 2 走査線駆動回路 104 の数は設計者が任意に設定することができる。

【0024】なお本明細書において接続とは、電気的な接続を意味する。

【0025】また図 1 では、画素部 100 に信号線 S1 ~ Sx、電源線 V1 ~ Vx、第 1 走査線 Ga1 ~ Gay、第 2 走査線 Gb1 ~ Gby が設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。第 1 走査線と第 2 走査線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0026】電源線 V1 ~ Vx は所定の電位に保たれている。なお図 1 ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線 V1 ~ Vx の電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0027】図 2 に、図 1 で示した画素 101 の詳しい構成を示す。図 2 に示す画素 101 は、信号線 Si (S1 ~ Sx のうちの 1 つ)、第 1 走査線 Gaj (Ga1 ~ Gay のうちの 1 つ)、第 2 走査線 Gbj (Gb1 ~ Gby のうちの 1 つ) 及び電源線 Vi (V1 ~ Vx のうちの 1 つ) を有している。

【0028】また画素 101 は、トランジスタ Tr1 (電流制御用トランジスタまたは第 1 のトランジスタ)、トランジスタ Tr2 (駆動用トランジスタまたは第 2 のトランジスタ)、トランジスタ Tr3 (第 1 スイッチング用トランジスタまたは第 3 のトランジスタ)、トランジスタ Tr4 (第 2 スイッチング用トランジスタまたは第 4 のトランジスタ)、OLED106 及び保持容量 105 を有している。

【0029】トランジスタ Tr3 とトランジスタ Tr4

のゲート電極は、共に第 1 走査線 Gaj に接続されている。

【0030】トランジスタ Tr3 のソース領域とドレイン領域は、一方は信号線 Si に、もう一方はトランジスタ Tr1 のゲート電極に接続されている。またトランジスタ Tr4 のソース領域とドレイン領域は、一方は信号線 Si に、もう一方はトランジスタ Tr1 のドレイン領域に接続されている。

【0031】トランジスタ Tr1 のソース領域は電源線 Vi に接続されており、ドレイン領域はトランジスタ Tr2 のソース領域に接続されている。トランジスタ Tr2 のゲート電極は第 2 走査線 Gbj に接続されている。トランジスタ Tr2 のドレイン領域は、OLED106 が有する画素電極に接続されている。

【0032】OLED106 は陽極と陰極を有しており、本明細書では、陽極を画素電極（第 1 の電極）として用いる場合は陰極を対向電極（第 2 の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0033】対向電極の電位は、一定の高さに保たれている。

【0034】なお、トランジスタ Tr3 とトランジスタ Tr4 は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr3 とトランジスタ Tr4 の極性は同じである。

【0035】また、トランジスタ Tr1 と Tr2 は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr1 と Tr2 の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr1 と Tr2 は p チャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr1 と Tr2 は n チャネル型トランジスタである。

【0036】保持容量 105 はトランジスタ Tr1 のゲート電極と電源線 Vi との間に形成されている。保持容量 105 はトランジスタ Tr1 のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0037】（実施の形態 2）次に、図 2 に示した発光装置の駆動について、図 3 を用いて説明する。本実施の形態では、図 2 に示した発光装置の各画素の動作を、書き込み期間 Ta と表示期間 Td とに分けて説明する。

【0038】書き込み期間 Ta では、第 1 走査線 Gaj が選択される。第 1 走査線 Gaj が選択されると、第 1 走査線 Gaj にゲート電極が接続されたトランジスタ Tr3 及び Tr4 がオンになる。なお書き込み期間 Ta では、第 2 走査線 Gbj は選択されておらず、Tr2 はオフになっている。

【0039】そして、信号線駆動回路 102 に入力され

るビデオ信号の電位に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれ一定の電流 I_c が流れる。なお本明細書において電流 I_c を信号電流と呼ぶ。

【0040】図3 (A) に、書き込み期間 T_a において、信号線 S_i に一定の電流 I_c が流れた場合の、画素 101 の概略図を示す。107 は信号線駆動回路 102 が有する定電流源を意味する。また、108 は対向電極に電位を与える電源への接続用の端子である。

【0041】書き込み期間 T_a において、トランジスタ Tr_3 及び Tr_4 はオンの状態にあるので、信号線 S_i 10 に一定の電流 I_c が流れると、一定の電流 I_c はトランジスタ Tr_1 のソース領域とドレイン領域の間に流れる。このとき電流 I_c は、トランジスタ Tr_1 が飽和領域で動作するように、定電流源 107 においてその大きさが制御されている。

【0042】飽和領域において、 V_{gs} はゲート電極とソース領域間の電位差（ゲート電圧）、 μ をトランジスタの移動度、 C_0 を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{th} を閾値、 μ を移動度、トランジスタ Tr_1 のド 20 レイン電流を I_d とすると、以下の式 1 が成り立つ。

【0043】

$$[式1] \quad I_d = \mu C_0 W/L (V_{gs} - V_{th})^2 / 2$$

【0044】式 1 において μ 、 C_0 、 W/L 、 V_{th} は全て個々のトランジスタによって決まる固定の値である。またトランジスタ Tr_1 のドレイン電流 I_d は、定電流源 107 によって $I_d = I_c$ に保たれている。よって式 1 からわかるように、トランジスタ Tr_1 のゲート電圧 V_{gs} は信号電流 I_c の値によって定まる。

【0045】書き込み期間 T_a が終了すると、表示期間 30 T_d が開始される。表示期間 T_d では第 1 走査線 G_{aj} は選択されておらず、第 2 走査線 G_{bj} が選択される。

【0046】図3 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ Tr_3 及びトランジスタ Tr_4 はオフになっている。また、トランジスタ Tr_2 はオンになっている。

【0047】表示期間 T_d では、トランジスタ Tr_1 は、書き込み期間 T_a において定められた V_{gs} がそのまま維持されている。そのため、トランジスタ Tr_1 のドレイン電流 I_d の値は信号電流 I_c と同じ値に維持され 40 たままである。また、トランジスタ Tr_2 はオンになっているので、ドレイン電流 I_d はトランジスタ Tr_2 を介して OLED 106 に流れる。よって、表示期間 T_d では、該信号電流 I_c と同じ大きさの OLED 駆動電流が OLED 106 に流れ、かつ該 OLED 駆動電流の大きさに見合った輝度で、OLED 106 が発光する。

【0048】全ての画素において書き込み期間 T_a と表示期間 T_d とが出現する。そしてその出現するタイミングは、各ラインの画素毎に異なっている。なお本明細書では、画素部が有する複数の画素のうち、同じ第 1 走査 50

線または同じ第 2 走査線を有する全ての画素を、同じラインの画素と呼ぶ。

【0049】そしてアナログのビデオ信号を用いた駆動方法（アナログ駆動法）の場合、アナログのビデオ信号によって I_c の大きさが定められ、該 I_c の大きさに見合った輝度で OLED 106 が発光することで、階調が表示される。この場合、全ての画素において 1 つの書き込み期間 T_a と 1 つの表示期間 T_d が出現することで、1 つの画像が表示される。いずれか 1 つの画素において書き込み期間 T_a が開始されてから、全ての画素において表示期間 T_d が終了するまでの期間をフレーム期間と呼ぶ。連続するフレーム期間は互いに重なっている。

【0050】図4に、アナログ駆動法におけるタイミングチャートの一例を示す。1 フレーム期間は y 個のライン期間を有しており、各ライン期間において各第 1 走査線が選択されている。各ライン期間において、各信号線に所定の信号電流 I_c ($I_{c1} \sim I_{cx}$) が流れる。図4ではライン期間 L_j ($j = 1 \sim y$) において各信号線に流れる信号電流の値を、 $I_{c1}[L_j] \sim I_{cx}[L_j]$ と表している。

【0051】書き込み期間 T_a と表示期間 T_d の開始されるタイミングは、各ラインの画素ごとにずれており、各ラインの画素の書き込み期間の出現するタイミングは重ならない。

【0052】一方デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）の場合、各画素において 1 フレーム期間中に書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1 つの画像を表示することが可能である。 n ビットのビデオ信号によって画像を表示する場合、少なくとも各ビットに対応した n 個の書き込み期間と、 n 個の表示期間とが 1 フレーム期間内に設けられる。 n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と、 n 個の表示期間 ($T_{d1} \sim T_{dn}$) は、ビデオ信号の各ビットに対応している。

【0053】図5に 1 フレーム期間において、 n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と n 個の表示期間 ($T_{d1} \sim T_{dn}$) が出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第 1 走査線の位置を示している。

【0054】書き込み期間 T_{am} (m は $1 \sim n$ の任意の数) の次には、同じビット数に対応する表示期間、この場合 T_{dm} が出現する。書き込み期間 T_a と表示期間 T_d とを合わせてサブフレーム期間 SF と呼ぶ。 m ビット目に対応している書き込み期間 T_{am} と表示期間 T_{dm} とを有するサブフレーム期間は SF_m となる。

【0055】表示期間 $T_{d1} \sim T_{dn}$ の長さは、 $T_{d1} : T_{d2} : \dots : T_{dn} = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0056】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良

い。具体的な分割の仕方については、特開 2002-023696 号、特願 2001-257163 号において開示されているので、参照することが可能である。

【0057】図 5 に示した駆動法では、1 フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0058】本発明では、上記構成により、有機発光層が劣化しても OLED の輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応した OLED を用いたカラー表示の発光装置の場合、OLED の有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0059】また、有機発光層の温度が外気温や OLED パネル自身が発する熱等に左右されても、OLED 駆動電流を所望の値に制御することができる。よって、OLED 駆動電流と OLED の輝度は比例するので、OLED の輝度が増加するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色の OLED の輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0060】さらに、一般的に、有機発光材料の種類によって温度変化における OLED 駆動電流の変化の度合いが異なるため、カラー表示において各色の OLED の輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0061】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素の OLED にそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED 電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0062】（実施の形態 3）本実施の形態では、図 2 に示した発光装置の駆動の、実施の形態 2 とは異なる例

について、図 6 を用いて説明する。本実施の形態では、図 2 に示した発光装置の各画素の動作を、書き込み期間 T_a と、表示期間 T_d と、非表示期間 T_e とに分けて説明する。なお、書き込み期間 T_a と表示期間 T_d における画素の動作は、実施の形態 2 において既に説明しているので、ここでは非表示期間 T_e における画素の動作について説明する。

【0063】非表示期間 T_e は、表示期間 T_d が終了した後、表示期間 T_d が出現する前に出現する。非表示期間 T_d では、第 1 走査線 G_{aj} 及び第 2 走査線 G_{bj} は選択されていない。

【0064】図 6 に、非表示期間 T_e における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフになっている。また、トランジスタ T_{r2} もオフになっている。よって、OLED 106 に OLED 駆動電流は流れず、OLED 106 は発光しない。

【0065】非表示期間 T_e は、必ずしも全ての表示期間 T_d の後に出現するわけではない。ただし、全ラインの画素の書き込み期間が終了する前に、1 ライン目の画素の表示期間が終了するような場合、該表示期間の後に非表示期間が出現する。

【0066】本実施の形態の駆動方法は、主にデジタルのビデオ信号による駆動において用いられる。デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）では、各画素において 1 フレーム期間中に書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1 つの画像を表示することが可能である。n ビットのビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、n 個の表示期間とが 1 フレーム期間内に設けられる。n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と、n 個の表示期間 ($T_{d1} \sim T_{dn}$) は、ビデオ信号の各ビットに対応している。

【0067】図 7 に 1 フレーム期間において、n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と n 個の表示期間 ($T_{d1} \sim T_{dn}$) と、1 個の非表示期間 ($T_{e1} \sim T_{e1}$) が出現するタイミングを示す。なお、説明を簡単にするために、本実施の形態では $l = n - 3$ の場合について説明する。横軸は時間を示しており、縦軸は画素が有する第 1 走査線の位置を示している。また、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{an}$ の開始されるタイミングを矢印で示した。また、各ビットごとに、1 ライン目の画素の書き込み期間が開始されてから、y ライン目の画素の書き込み期間が終了するまでの期間を、 $\Sigma T_{a1} \sim \Sigma T_{an}$ で示す。

【0068】書き込み期間 T_{a1} において、1 ライン目の画素から順に、1 ビット目のデジタルビデオ信号によりトランジスタ T_{r1} のドレイン電流が制御される。そして次に表示期間 T_{d1} が開始されると、1 ライン目の画素から順に、トランジスタ T_{r3} 及び T_{r4} がオフに

なり、トランジスタ $T_r 2$ がオンになることで、ドレイン電流が $OLED 106$ に流れる。よって、 $OLED 106$ が発光または非発光の状態になる。

【0069】そして次に、非表示期間 T_{e1} が開始され、1ライン目の画素から順に、トランジスタ $T_r 3$ 及び $T_r 4$ がオフのまま、トランジスタ $T_r 2$ がオフの状態になる。よって、 $OLED 106$ にドレイン電流が流れなくなり、 $OLED 106$ がオフの状態になる。

【0070】そして、次に書き込み期間 T_{a2} が開始され、上述した動作が非表示期間 $T_{e(n-3)}$ が終了するまで繰り返される。

【0071】非表示期間 $T_{e(n-3)}$ が終了すると、書き込み期間 $T_{a(n-2)}$ が開始され、1ライン目の画素から順に、 $(n-2)$ ビット目のデジタルビデオ信号によりトランジスタ $T_r 1$ のドレイン電流が制御される。そして次に表示期間 $T_{d(n-2)}$ が開始されると、1ライン目の画素から順に、トランジスタ $T_r 3$ 及び $T_r 4$ がオフになり、トランジスタ $T_r 2$ がオンになることで、ドレイン電流が $OLED 106$ に流れる。よって、 $OLED 106$ が発光または非発光の状態になる。

【0072】そして次に、書き込み期間 $T_{a(n-1)}$ が開始され、上述した動作が表示期間 T_{dn} が終了するまで繰り返される。

【0073】1ライン目の画素において T_{dn} が終了した後、1フレーム期間が終了し、再び1ライン目の画素において、次のフレーム期間の書き込み期間 T_{a1} が開始される。そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0074】全ての画素において表示期間 T_{dn} が終了すると、1つの画像を表示することができる。

【0075】なお、表示期間の長さを $T_{d1} : T_{d2} : T_{d3} : \dots : T_{d(n-1)} : T_{dn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とする。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0076】

【実施例】以下に、本発明の実施例について説明する。

【0077】（実施例1）本実施例では、本発明の発光装置の、図2とは異なる画素の構成について説明する。

【0078】本実施例の発光装置が有する $OLED$ パネルは、図1に示した $OLED$ パネルとは異なり、第2走査線駆動回路を有していない。なお本実施例では、以下、第1走査線駆動回路を単に走査線駆動回路と呼ぶ。

【0079】本実施例の $OLED$ パネルは、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、走査線駆動回路を有している。

【0080】信号線駆動回路と、走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ

異なる基板上に形成され、FPC等を介して画素部と接続されていても良い。また、信号線駆動回路と走査線駆動回路の数は、設計者が任意に設定することができる。

【0081】そして、画素部には、信号線 $S_1 \sim S_x$ 、電源線 $V_1 \sim V_x$ 、走査線 $G_1 \sim G_y$ が設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0082】電源線 $V_1 \sim V_x$ は所定の電位に保たれている。電源線 $V_1 \sim V_x$ の電位の高さは全て同じでなくとも良い。

【0083】図8に、本実施例の画素の詳しい構成を示す。図8に示す画素 201 は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、走査線 G_j ($G_1 \sim G_y$ のうちの1つ) 及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ) を有している。

【0084】また画素 201 は、トランジスタ $T_r 1$ (電流制御用トランジスタまたは第1のトランジスタ)、トランジスタ $T_r 2$ (駆動用トランジスタまたは第2のトランジスタ)、トランジスタ $T_r 3$ (第1スイッチング用トランジスタまたは第3のトランジスタ)、トランジスタ $T_r 4$ (第2スイッチング用トランジスタまたは第4のトランジスタ)、 $OLED 206$ 及び保持容量 205 を有している。

【0085】トランジスタ $T_r 3$ とトランジスタ $T_r 4$ のゲート電極は、共に走査線 G_j に接続されている。

【0086】トランジスタ $T_r 3$ のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ $T_r 1$ のゲート電極に接続されている。またトランジスタ $T_r 4$ のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ $T_r 1$ のドレイン領域に接続されている。

【0087】トランジスタ $T_r 1$ のソース領域は電源線 V_i に接続されており、ドレイン領域はトランジスタ $T_r 2$ のソース領域に接続されている。トランジスタ $T_r 2$ のゲート電極は走査線 G_j に接続されている。トランジスタ $T_r 2$ のドレイン領域は、 $OLED 206$ が有する画素電極に接続されている。

【0088】 $OLED 206$ は陽極と陰極を有している。

【0089】対向電極の電位は、一定の高さに保たれている。

【0090】なお、トランジスタ $T_r 3$ と $T_r 4$ は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ $T_r 3$ とトランジスタ $T_r 4$ の極性は同じである。

【0091】また、トランジスタ $T_r 1$ と $T_r 2$ は、トランジスタ $T_r 3$ と $T_r 4$ と逆の極性を有している。したがって、トランジスタ $T_r 3$ 及び $T_r 4$ がオンのと

き、Tr 2 はオフであり、逆にトランジスタ Tr 3 及び Tr 4 がオフのとき、Tr 2 はオンである。

【0092】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr 1 と Tr 2 は p チャンネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr 1 と Tr 2 は n チャンネル型トランジスタである。

【0093】保持容量 205 はトランジスタ Tr 1 のゲート電極と電源線 Vi との間に形成されている。保持容量 205 はトランジスタ Tr 1 のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0094】図 8 に示した画素は、実施の形態 2 で示した駆動方法で動作する。すなわち、図 3 に示したように、その動作は書き込み期間と表示期間に分けて説明することが可能である。なお、各画素の詳しい動作の仕方については実施の形態 2 を参照することができるので、ここでは省略する。

【0095】（実施例 2）本実施例では、本発明の発光装置の、図 2、図 8 とは異なる画素の構成について説明する。

【0096】本実施例の発光装置が有する OLED パネルは、図 1 に示した OLED パネルと同じく、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、第 1 走査線駆動回路と、第 2 走査線駆動回路とを有している。

【0097】信号線駆動回路と、第 1 走査線駆動回路と、第 2 走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ異なる基板上に形成され、FPC 等を介して画素部と接続されていても良い。また、信号線駆動回路と、第 1 走査線駆動回路と、第 2 走査線駆動回路の数は、設計者が任意に設定することができる。

【0098】そして、画素部には、信号線 S1 ～ Sx、電源線 V1 ～ Vx、第 1 走査線 Ga1 ～ Gay、第 2 走査線 Gb1 ～ Gby が設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第 1 走査線と第 2 走査線の数も必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0099】電源線 V1 ～ Vx は所定の電位に保たれている。電源線 V1 ～ Vx の電位の高さは全て同じでなくとも良い。

【0100】図 9 に、本実施例の画素の詳しい構成を示す。図 9 に示す画素 211 は、信号線 Si（S1 ～ Sx のうちの 1 つ）、第 1 走査線 Gaj（Ga1 ～ Gay のうちの 1 つ）、第 2 走査線 Gbj（Gb1 ～ Gby のうちの 1 つ）及び電源線 Vi（V1 ～ Vx のうちの 1 つ）

を有している。

【0101】また画素 211 は、トランジスタ Tr 1（電流制御用トランジスタまたは第 1 のトランジスタ）、トランジスタ Tr 2（駆動用トランジスタまたは第 2 のトランジスタ）、トランジスタ Tr 3（第 1 スイッチング用トランジスタまたは第 3 のトランジスタ）、トランジスタ Tr 4（第 2 スイッチング用トランジスタまたは第 4 のトランジスタ）、トランジスタ Tr 5（消去用トランジスタまたは第 5 のトランジスタ）、OLED 216 及び保持容量 215 を有している。

【0102】トランジスタ Tr 3 とトランジスタ Tr 4 のゲート電極は、共に第 1 走査線 Gaj に接続されている。

【0103】トランジスタ Tr 3 のソース領域とドレイン領域は、一方は信号線 Si に、もう一方はトランジスタ Tr 1 のゲート電極に接続されている。またトランジスタ Tr 4 のソース領域とドレイン領域は、一方は信号線 Si に、もう一方はトランジスタ Tr 1 のドレイン領域に接続されている。

【0104】トランジスタ Tr 1 のソース領域は電源線 Vi に接続されており、ドレイン領域はトランジスタ Tr 2 のソース領域に接続されている。トランジスタ Tr 2 のゲート電極は第 1 走査線 Gaj に接続されている。トランジスタ Tr 2 のドレイン領域は、OLED 216 が有する画素電極に接続されている。

【0105】トランジスタ Tr 5 のゲート電極は第 2 走査線 Gbj に接続されている。また、トランジスタ Tr 5 のソース領域とドレイン領域は、一方は電源線 Vi に、もう一方はトランジスタ Tr 1 のゲート電極に接続されている。

【0106】OLED 216 は陽極と陰極を有している。

【0107】対向電極の電位は、一定の高さに保たれている。

【0108】なお、トランジスタ Tr 3 と Tr 4 は、n チャンネル型トランジスタと p チャンネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr 3 とトランジスタ Tr 4 の極性は同じである。

【0109】また、トランジスタ Tr 1 と Tr 2 は、トランジスタ Tr 3 と Tr 4 と逆の極性を有している。したがって、トランジスタ Tr 3 及び Tr 4 がオンのとき、Tr 2 はオフであり、逆にトランジスタ Tr 3 及び Tr 4 がオフのとき、Tr 2 はオンである。

【0110】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr 1 と Tr 2 は p チャンネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr 1 と Tr 2 は n チャンネル型トランジスタである。

【0111】保持容量 215 はトランジスタ Tr 1 のゲ

ート電極と電源線 V_i との間に形成されている。保持容量 215 はトランジスタ Tr_1 のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0112】図9に示した画素は、実施の形態3で示した駆動方法で動作する。ただし、図9に示した画素の場合、非表示期間における画素の動作は、図6に示したものと異なる。図9に示した画素の場合、非表示期間においてトランジスタ Tr_5 がオンになることで、 Tr_1 のゲート電圧が0に近くなり、 Tr_1 はオフになる。そして、トランジスタ Tr_2 はオンになっており、しかし Tr_1 はオフなので、OLED 216 に OLED 駆動電流は流れず、OLED 216 はオフになる。よって、その動作は書き込み期間と表示期間と非表示期間に分けて説明することが可能である。なお、詳しい駆動のタイミングについては実施の形態3を参照することができるので、ここでは省略する。

【0113】（実施例3）本実施例では、実施の形態2において示した駆動方法における、サブフレーム期間 $SF_1 \sim SF_n$ の出現する順序について説明する。

【0114】図10に、1フレーム期間において、 n 個の書き込み期間（ $Ta_1 \sim Ta_n$ ）と n 個の表示期間（ $Td_1 \sim Td_n$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。各画素の詳しい動作については実施の形態2を参照すれば良いので、ここでは省略する。

【0115】本実施例の駆動方法では、1フレーム期間中で1番長い表示期間を有するサブフレーム期間（本実施例では SF_n ）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成を有している。

【0116】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0117】なお本実施例の構成は $n \geq 3$ の場合において有効である。また、本実施例は実施例1と自由に組み合わせることで実施することが可能である。

【0118】（実施例4）本実施例では、実施例3とは異なる駆動方法の一例について説明する。

【0119】図11に、1フレーム期間において、 $n+1$ 個の書き込み期間（ $Ta_1 \sim Ta_{(n+1)}$ ）と $n+1$ 個の表示期間（ $Td_1 \sim Td_{(n+1)}$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。各画素の詳しい動作については実施の形態2を参照すれば良いので、ここでは省略する。

【0120】本実施例では n ビットのデジタルビデオ信

号に対応して、1フレーム期間内に $n+1$ のサブフレーム期間 $SF_1 \sim SF_{(n+1)}$ が設けられる。そしてサブフレーム期間 $SF_1 \sim SF_{(n+1)}$ は、 $n+1$ 個の書き込み期間（ $Ta_1 \sim Ta_{(n+1)}$ ）と、 $n+1$ 個の表示期間（ $Td_1 \sim Td_{(n+1)}$ ）とを有している。

【0121】書き込み期間 Tam （ m は $1 \sim n+1$ の任意の数）と表示期間 Tdm とを有するサブフレーム期間は SF_m となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0122】サブフレーム期間 $SF_1 \sim SF_{n-1}$ は、 $1 \sim (n-1)$ ビットのデジタルビデオ信号の各ビットに対応している。サブフレーム期間 SF_n 及び $SF_{(n+1)}$ は n ビット目のデジタルビデオ信号に対応している。

【0123】また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SF_n と $SF_{(n+1)}$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SF_n と $SF_{(n+1)}$ の間に、他のサブフレーム期間が設けられている。

【0124】1フレーム期間中に書き込み期間 Ta と表示期間 Td とが繰り返して出現することで、1つの画像を表示することが可能である。

【0125】表示期間 $Td_1 \sim Td_{(n+1)}$ の長さは、 $Td_1 : Td_2 : \dots : (Td_n + Td_{(n+1)}) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0126】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0127】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、図5及び図10に示した駆動方法に比べて、人間の目に認識されずらくすることができる。

【0128】なお本実施例では、同じビットに対応するサブフレーム期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応するサブフレーム期間が3つ以上設けられていても良い。

【0129】また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【0130】なお本実施例の構成は $n \geq 2$ の場合におい

て有効である。また、本実施例は実施例 1、3 と自由に組み合わせて実施することが可能である。

【0131】（実施例 5）本実施例では、実施の形態 3 に示した駆動方法において、の出現する順序について説明する。ただし本実施例では $n=6$ 、 $l=5$ の場合について説明する。なお、本実施例では本発明の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数 n や l の値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が 3 以上の場合において有効である。

【0132】図 12 に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第 1 走査線及び第 2 走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a6}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1 ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間（ $\Sigma T_{a1} \sim \Sigma T_{a6}$ ）を矢印で示す。

【0133】また、画素の詳しい動作については、実施の形態 3 を参照することができるので、ここでは説明を省略する。

【0134】はじめに 1 ライン目の画素において、書き込み期間 T_{a4} が開始される。書き込み期間 T_{a4} が開始されると、4 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。

【0135】そして、1 ライン目の画素において書き込み期間 T_{a4} が終了すると、次に 2 ライン目以降の画素においても、順に書き込み期間 T_{a4} が開始される。そして 1 ライン目の画素の場合と同様に、各ラインの画素に 4 ビット目のデジタルビデオ信号が入力される。

【0136】一方、2 ライン目以降の画素において書き込み期間 T_{a4} が開始されるのと同様並行して、1 ライン目の画素において表示期間 T_{d4} が開始される。表示期間 T_{d4} が開始されると、4 ビット目のデジタルビデオ信号によって 1 ライン目の画素が表示を行う。

【0137】そして、1 ライン目の画素において表示期間 T_{d4} が開始された後、2 ライン目以降の画素においても順に書き込み期間 T_{a4} が終了し、表示期間 T_{d4} が開始される。そして、4 ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0138】一方、2 ライン目以降のラインの画素において表示期間 T_{d4} が開始した後、1 ライン目の画素において表示期間 T_{d4} が終了し、非表示期間 T_{e4} が開始される。なお、2 ライン目以降のラインの画素において表示期間 T_{d4} が開始されるのと同様並行して、1 ライン目の画素において表示期間 T_{d4} が終了し、非表示

期間 T_{e4} が開始されても良い。

【0139】非表示期間 T_{e4} が開始されると、1 ライン目の画素が表示を行わなくなる。

【0140】次に、1 ライン目の画素において非表示期間 T_{e4} が開始された後、2 ライン目以降の画素においても順に表示期間 T_{d4} が終了し、非表示期間 T_{e4} が開始される。よって、各ラインの画素が表示を行わなくなる。

【0141】一方、2 ライン目以降のラインの画素において非表示期間 T_{e4} が開始されるのと同様並行、もしくは全ての画素において非表示期間 T_{e4} が開始された後に、1 ライン目の画素において書き込み期間 T_{a5} が開始される。

【0142】1 ライン目の画素において書き込み期間 T_{a5} が開始されると、5 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。そして、1 ライン目の画素において書き込み期間 T_{a5} が終了すると、2 ライン目以降の画素においても、順に書き込み期間 T_{a5} が開始される。

【0143】一方、1 ライン目の画素において書き込み期間 T_{a5} が終了した後、2 ライン目以降のラインの画素において書き込み期間 T_{a5} が開始されるのと同様並行して、1 ライン目の画素において表示期間 T_{d5} が開始される。表示期間 T_{d5} においても、表示期間 T_{d5} と同様に、5 ビット目のデジタルビデオ信号によって画素が表示を行う。

【0144】そして、1 ライン目の画素において表示期間 T_{d5} が開始された後、2 ライン目以降の画素においても、順に書き込み期間 T_{a5} が終了し、表示期間 T_{d5} が開始される。

【0145】次に、全てのラインの画素において表示期間 T_{d5} が開始された後、1 ライン目の画素において表示期間 T_{d5} が終了し、書き込み期間 T_{a2} が開始される。

【0146】1 ライン目の画素において書き込み期間 T_{a2} が開始されると、2 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。

【0147】そして、1 ライン目の画素において書き込み期間 T_{a2} が終了すると、次に 2 ライン目以降の画素においても、順に書き込み期間 T_{a2} が開始される。そして 1 ライン目の画素の場合と同様に、各ラインの画素に 2 ビット目のデジタルビデオ信号が入力される。

【0148】一方、2 ライン目以降の画素において書き込み期間 T_{a2} が開始されるのと同様並行して、1 ライン目の画素において表示期間 T_{d2} が開始される。表示期間 T_{d2} が開始されると、2 ビット目のデジタルビデオ信号によって 1 ライン目の画素が表示を行う。

【0149】そして、1 ライン目の画素において表示期間 T_{d2} が開始された後、2 ライン目以降の画素においても順に書き込み期間 T_{a2} が終了し、表示期間 T_{d2}

が開始される。そして、2ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0150】一方、2ライン目以降のラインの画素において表示期間T d 2が開始されるのと同様並行して、1ライン目の画素において表示期間T d 2が終了し、非表示期間T e 2が開始される。

【0151】非表示期間T e 2が開始されると、1ライン目の画素が表示を行わなくなる。

【0152】次に、1ライン目の画素において非表示期間T e 2が開始された後、2ライン目以降の画素において順に表示期間T d 2が終了し、非表示期間T e 2が開始される。よって、各ラインの画素が表示を行わなくなる。

【0153】一方、2ライン目以降のラインの画素において非表示期間T e 2が開始されるのと同様並行、もしくは全ての画素において非表示期間T e 2が開始された後に、1ライン目の画素において書き込み期間T a 3が開始される。

【0154】上述した動作は1～6の全てのビットのデジタルビデオ信号が画素に人力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間T aと、表示期間T dと、非表示期間T eとが繰り返し出現する。

【0155】1ライン目の画素において全ての表示期間T d 1～T d 6が終了した後、1ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の最初の書き込み期間（本実施例ではT a 4）が開始される。また1ライン目の画素において1フレーム期間が終了した後、2ライン目以降の画素においても1フレーム期間が終了し、再び次のフレーム期間の書き込み期間T a 4が開始される。

【0156】そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0157】全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0158】本実施例では、表示期間の長さをT d 1 : T d 2 : … : T d 5 : T d 6 = 2⁰ : 2¹ : … : 2⁴ : 2⁵とする。この表示期間の組み合わせで2⁶階調のうち所望の階調表示を行うことができる。

【0159】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を100%とすると、T d 1とT d 2において画素が発光した場合には5%の輝度が表現でき、T d 3とT d 5を選択した場合には32%の輝度が表現できる。

【0160】なお、各ラインの画素の書き込み期間は互いに重ならないので、yライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き

込み期間が開始されるようにする。

【0161】また本実施例では、各ラインの画素の表示期間T d 5の長さは、1ライン目の画素の書き込み期間T a 5が開始されてから、yライン目の画素の書き込み期間T a 5が終了するまでの期間（ΣT a 5）より、長いことが肝要である。

【0162】また表示期間T d 1～T d 6は、どのような順序で出現させても良い。例えば1フレーム期間中において、T d 1の次にT d 3、T d 5、T d 2、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0163】本発明の駆動方法では、1ライン目の画素の書き込み期間T aが開始されてから、yライン目の画素の書き込み期間T aが終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0164】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するOLEDを設けた場合でも、温度によって各色のOLEDの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0165】なお本実施例の駆動方法では、1フレーム期間中で1番長い表示期間（本実施例ではT d 6）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間の前後に、同じフレーム期間に含まれる他の表示期間が出現するような構成にしている。

【0166】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0167】また、本実施例は実施例2と自由に組み合わせることで実施することが可能である。

【0168】（実施例6）本実施例では、nビットのデジタルビデオ信号を用いた、実施例5とは異なる駆動方法の一例について説明する。ただし本実施例では1 = n - 2の場合について説明する。

【0169】本実施例の駆動方法では、同じ最上位ビットのデジタルビデオ信号に対応する表示期間T d nと表示期間T d (n + 1)を有している。そして、表示期間T d nと表示期間T d (n + 1)のそれぞれに対応して、書き込み期間T a nと書き込み期間T a (n + 1)とが設けられている。

【0170】なお本実施例では、同じビットのデジタル

ビデオ信号に対応する表示期間 T_{dn} と $T_d(n+1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応する表示期間 T_{dn} と $T_d(n+1)$ の間に、他の表示期間が設けられている。

【0171】図13に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線及び第2走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a(n+1)}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間 ($\Sigma T_{a1} \sim \Sigma T_{a(n+1)}$) を矢印で示す。

【0172】また、画素の詳しい動作については、実施の形態の場合と同じであるので、ここでは説明を省略する。

【0173】表示期間 $T_{d1} \sim T_d(n+1)$ の長さは、 $T_{d1} : T_{d2} : \dots : T_d(n-1) : (T_{dn} + T_d(n+1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0174】1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0175】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例2の場合に比べて人間の目に認識されにくくすることができる。

【0176】なお本実施例では、同じビットに対応する表示期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応する表示期間が3つ以上設けられていても良い。

【0177】また、本実施例では最上位ビットのデジタルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【0178】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例2または5と自由に組み合わせて実施することが可能である。

【0179】(実施例7) 本実施例では、本発明の発光装置の作製方法について説明する。なお、本実施例では、図2に示した画素の作製方法を例にとって説明する。また本実施例では、画素が有するトランジスタ Tr_2 、 Tr_4 の断面図のみ示すが、トランジスタ Tr_1 及び Tr_3 も本実施例の作製方法を参照して作ることが可能である。またその他画素が有するトランジスタ(例えば図9に示す画素ではトランジスタ Tr_5) も、同様に

形成することが可能である。さらに本実施例では、画素部の周辺に設けられる駆動回路(信号線駆動回路、第1走査線駆動回路、第2走査線駆動回路)が有するTFTを、画素部のTFTと同一基板上に同時に形成する例を示す。

【0180】まず、図14(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板301上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜302を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜302aを $10 \sim 200$ [nm] (好ましくは $50 \sim 100$ [nm]) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜302bを $50 \sim 200$ [nm] (好ましくは $100 \sim 150$ [nm]) の厚さに積層形成する。本実施例では下地膜302を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0181】島状半導体層303～306は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層303～306の厚さは $25 \sim 80$ [nm] (好ましくは $30 \sim 60$ [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ($SiGe$) 合金などで形成すると良い。

【0182】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 [Hz] とし、レーザーエネルギー密度を $100 \sim 400$ [mJ/cm²] (代表的には $200 \sim 300$ [mJ/cm²]) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数 $30 \sim 300$ [kHz] とし、レーザーエネルギー密度を $300 \sim 600$ [mJ/cm²] (代表的には $350 \sim 500$ [mJ/cm²]) とすると良い。そして幅 $100 \sim 1000$ [μ m]、例えば 400 [μ m] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を $50 \sim 90$ [%] として行う。

【0183】次いで、島状半導体層303～306を覆うゲート絶縁膜307を形成する。ゲート絶縁膜307はプラズマCVD法またはスパッタ法を用い、厚さを $40 \sim 150$ [nm] としてシリコンを含む絶縁膜で形成す

る。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40[Pa]、基板温度300~400[℃]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[℃]の熱アニールにより

ゲート絶縁膜として良好な特性を得ることが出来る。
【0184】そして、ゲート絶縁膜307上にゲート電極を形成するための第1の導電膜308と第2の導電膜309とを形成する。本実施例では、第1の導電膜308をTaで50~100[nm]の厚さに形成し、第2の導電膜309をWで100~300[nm]の厚さに形成する。

【0185】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくことα相のTa膜を容易に得ることが出来る。

【0186】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]または純度99.99[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することが出来る。

【0187】なお、本実施例では、第1の導電膜308をTa、第2の導電膜309をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の

組み合わせの一例で望ましいものとしては、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をWとする組み合わせ、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をAlとする組み合わせ、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をCuとする組み合わせが挙げられる。(図14(A))

【0188】次に、レジストによるマスク310を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0189】上記エッチング条件では、レジストによるマスクの形状を適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層311~315(第1の導電層311a~315aと第2の導電層311b~315b)を形成する。このとき、ゲート絶縁膜307においては、第1の形状の導電層311~315で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。また、マスク310も上記エッチングにより表面がエッチングされた。

【0190】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100[kV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層311~314がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域317~320が形成される。第1の不純物領域317~320には $1 \times 10^{18} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加

する。(図14 (B))

【0191】次に、図14 (C) に示すように、レジストマスク310は除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層325~329 (第1の導電層325a~329aと第2の導電層325b~329b) を形成する。このとき、ゲート絶縁膜307においては、第2の形状の導電層325~329で覆われない領域はさらに20~50 [nm]程度エッチングされ薄くなった領域が形成される。

【0192】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0193】そして、図15 (A) に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120 [keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図14 (B) で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層325~328を不純物元素に対するマスクとして用い、第1の導電層325a~328aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域332~335が形成される。この第3の不純物領域332~335に添加されたリン(P)の濃度は、第1の導電層325a~328aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層325a~328aのテーパー部と重なる半導体層において、第1の導電層325a~328aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0194】図15 (B) に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層325a~329aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層336~340 (第1の導電層336a~340aと第2の導電層336b~340b) を形成する。このとき、ゲート絶縁膜307においては、第3の形状の導電層336~340で覆われない領域はさらに20~50 [nm]程度エッチングされ薄くなった領域が形成される。

【0195】第3のエッチング処理によって、第3の不純物領域332~335においては、第1の導電層336a~339aと重なる第3の不純物領域332a~335aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域332b~335bとが形成される。

【0196】そして、図15 (C) に示すように、pチャネル型TFTを形成する島状半導体層303、306に第1の導電型とは逆の導電型の第4の不純物領域343~348を形成する。第3の形状の導電層336b、339bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層304、305および第3の形状の導電層340は、レジストマスク350で全面を被覆しておく。不純物領域343~348にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{18} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0197】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層336~339がゲート電極として機能する。また、第3の形状の導電層340はゲート配線として機能する。

【0198】レジストマスク350を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.

1 [ppm]以下の窒素雰囲気中で400~700 [°C]、代表的には500~600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層336~340に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。なお、第3の形状の導電層340はゲ

ト配線であり、その一部はトランジスタTr1（図示せず）のゲート電極として機能しており、なおかつトランジスタTr3（図示せず）のソース領域もしくはドレイン領域に接続されている。

【0199】さらに、3～100[%]の水素を含む雰囲気中で、300～450[℃]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0200】次いで、図16（A）に示すように、第1の層間絶縁膜355を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜356を形成した後、第1の層間絶縁膜355、第2の層間絶縁膜356、およびゲート絶縁膜307に対してコンタクトホールを形成し、接続配線357～363をパターニング形成する。なお363は電源線であり、360は信号線である。

【0201】第2の層間絶縁膜356としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜356は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0202】コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、n型の不純物領域317～319またはp型の不純物領域345、348に達するコンタクトホール、ゲート配線340に達するコンタクトホール、容量配線（図示せず）に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0203】また、接続配線357～363として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【0204】次に、接続配線（ドレイン配線）362に接する画素電極365をパターニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

【0205】また、本実施例では、画素電極365としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極365を接続配線362と接するように配置することでコンタクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を

混合した透明導電膜を用いても良い。この画素電極365がOLEDの陽極となる。（図16（A））

【0206】次に、図16（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極365に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜366を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでない」と段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0207】次に、有機発光層367および陰極（MgAg電極）368を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層367の膜厚は80～200[nm]（典型的には100～120[nm]）、陰極368の厚さは180～300[nm]（典型的には200～250[nm]）とすれば良い。

【0208】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層および陰極を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機発光層を形成するのが好ましい。

【0209】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0210】ここではRGBに対応した3種類のOLEDを形成する方式を用いたが、白色発光のOLEDとカラーフィルタを組み合わせた方式、青色または青緑発光のOLEDと蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したOLEDを重ねる方式などを用いても良い。

【0211】なお、有機発光層367としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造を有機発光層とすれば良い。

【0212】次に陰極368を形成する。なお本実施例では陰極368としてMgAgを用いたが、本発明はこれに限定されない。陰極368として他の公知の材料を用いても良い。

【0213】画素電極 365 と、有機発光層 367 と、陰極 368 とが重なっている部分が、OLED 375 に相当する。

【0214】また、次に保護電極 369 を蒸着法により形成する。保護電極 369 は、大気開放せずに陰極 368 と連続して形成しても良い。保護電極 369 は有機発光層 367 を水分や酸素から保護するのに有効である。

【0215】また、保護電極 369 は陰極 368 の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層 367、陰極 368 は非常に水分に弱いので、保護電極 369 までも大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0216】最後に、窒化珪素膜でなるパッシベーション膜 370 を 300 [nm] の厚さに形成する。パッシベーション膜 370 を形成しておくことで、有機発光層 367 を水分等から保護することができ、OLED の信頼性をさらに高めることが出来る。なおパッシベーション膜 370 は必ずしも設ける必要はない。

【0217】こうして図 16 (B) に示すような構造の発光装置が完成する。371 は駆動回路部の p チャネル型 TFT、372 は駆動回路部の n チャネル型 TFT、373 はトランジスタ Tr4、374 はトランジスタ Tr2 を意味している。

【0218】ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造の TFT を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程において Ni 等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を 10 [MHz] 以上にする事が可能である。

【0219】なお、実際には図 16 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると OLED の信頼性が向上する。

【0220】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタを取り付ける。

【0221】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0222】本実施例は、実施例 1 ～ 6 と自由に組み合わせ実施することが可能である。

【0223】（実施例 8）本実施例では、実施例 2 に

いて形成した画素の上面図について説明する。図 17 に本実施例の画素の上面図を示す。なお図 17 は、図 16 (A) の工程が終了した時点における、画素の上面図に相当する。図 17 では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【0224】図 17 の、破線 A-A' における断面図が、図 16 (A) の A-A' の部分に相当する。図 18 に、図 17 の破線 B-B' における断面図を示す。

【0225】図 17 に示す画素は、信号線として機能する接続配線 360 (Si) と、第 1 走査線 380 (Gaj) と、第 2 走査線 381 (Gbj) と、電源線 363 (Vi) を 1 つずつ有している。そして、第 1 走査線 380 の一部である 382、327 は、それぞれトランジスタ Tr3 と、Tr4 のゲート電極に相当する。

【0226】トランジスタ Tr3 のソース領域とドレイン領域は、一方は信号線 360 に接続されており、もう一方は接続配線 383 を介してゲート配線 340 に接続されている。ゲート配線 340 の一部 384 はトランジスタ Tr1 のゲート電極として機能している。

【0227】また、トランジスタ Tr4 のソース領域とドレイン領域は、一方は信号線 360 に接続されており、もう一方は接続配線 361 を介してトランジスタ Tr1 のドレイン領域及びトランジスタ Tr2 のソース領域に接続されている。

【0228】トランジスタ Tr1 のソース領域は電源線 363 に接続されている。また、トランジスタ Tr2 のドレイン領域は接続配線 362 を介して画素電極 365 に接続されている。

【0229】第 2 走査線 381 の一部である 328 は、トランジスタ Tr2 のゲート電極として機能している。

【0230】電源線 363 は、第 1 及び第 2 層間絶縁膜を間に挟んで、ゲート配線 340 と重なっている。ゲート配線 340 は、ゲート絶縁膜（図示せず）を間に挟んで、半導体膜に不純物を添加することで形成された容量配線 385 と重なっている。電源線 363 と容量配線 385 とは、コンタクトホールを介して接続されている。なお、ゲート配線 340 と容量配線 385 がゲート絶縁膜を間に挟んで重なっている部分が、保持容量 386 に相当する。さらに、電源線 363 が第 1 及び第 2 層間絶縁膜を間に挟んでゲート配線 340 と重なっている部分も保持容量として用いても良い。

【0231】この電源線 363 の上を、各画素を区切る隔壁（バンク）の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【0232】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図 17 に示した画素の上面図は、本実施例で示した構成に限定されない。なお本

実施例は、実施例 1～7 と自由に組み合わせて実施することが可能である。

【0233】（実施例 9）本実施例では、図 8 に示した画素の上面図について説明する。図 19 に本実施例の画素の上面図を示す。なお図 17 は、画素電極の形成が終了し、有機発光層を成膜する前の段階における、画素の上面図に相当する。図 19 では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【0234】図 19 に示す画素は、信号線として機能する接続配線 560（Si）と、走査線 580（Gj）と、電源線 563（Vi）を 1 つずつ有している。そして、走査線 580 の一部である 582、527、528 は、それぞれトランジスタ Tr3 と、Tr4 と、Tr2 のゲート電極に相当する。

【0235】トランジスタ Tr3 のソース領域とドレイン領域は、一方は信号線 560 に接続されており、もう一方は接続配線 583 を介してゲート配線 540 に接続されている。ゲート配線 540 の一部 584 はトランジスタ Tr1 のゲート電極として機能している。

【0236】また、トランジスタ Tr4 のソース領域とドレイン領域は、一方は信号線 560 に接続されており、もう一方は接続配線 561 を介してトランジスタ Tr1 のドレイン領域及びトランジスタ Tr2 のソース領域に接続されている。

【0237】トランジスタ Tr1 のソース領域は電源線 563 に接続されている。また、トランジスタ Tr2 のドレイン領域は接続配線 562 を介して画素電極 565 に接続されている。

【0238】電源線 563 は、第 1 及び第 2 層間絶縁膜を間に挟んで、ゲート配線 540 と重なっている。ゲート配線 540 は、ゲート絶縁膜（図示せず）を間に挟んで、半導体膜に不純物を添加することで形成された容量配線 585 と重なっている。電源線 563 と容量配線 585 とは、コンタクトホールを介して接続されている。なお、ゲート配線 540 と容量配線 585 がゲート絶縁膜を間に挟んで重なっている部分が、保持容量 586 に相当する。さらに、電源線 563 が第 1 及び第 2 層間絶縁膜を間に挟んでゲート配線 540 と重なっている部分も保持容量として用いても良い。

【0239】この電源線 563 の上を、各画素を区切る隔壁（バンク）の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【0240】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図 19 に示した画素の上面図は、本実施例で示した構成に限定されない。なお本実施例は、実施例 1～7 と自由に組み合わせて実施することが可能である。

【0241】（実施例 10）本実施例では、デジタルビデオ信号を用いて駆動する本発明の発光装置が有する駆動回路（信号線駆動回路及び第 1 走査線駆動回路）の構成について説明する。

【0242】図 20 に信号線駆動回路 601 の構成をブロック図で示す。602 はシフトレジスタ、603 は記憶回路 A、604 は記憶回路 B、605 は定電流回路である。

【0243】シフトレジスタ 602 にはクロック信号 CLK と、スタートパルス信号 SP が入力されている。また記憶回路 A 603 にはデジタルビデオ信号（Digital Video Signals）が入力されており、記憶回路 B 604 にはラッチ信号（Latch Signals）が入力されている。定電流回路 605 から出力される一定の信号電流 Ic は信号線へ入力される。

【0244】図 21 に信号線駆動回路 601 のより詳しい構成を示す。

【0245】シフトレジスタ 602 に所定の配線からクロック信号 CLK とスタートパルス信号 SP とが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路 A 603 が有する複数のラッチ A（LATA__1～LATA__x）にそれぞれ入力される。なおこのときシフトレジスタ 602 において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路 A 603 が有する複数のラッチ A（LATA__1～LATA__x）にそれぞれ入力するような構成にしても良い。

【0246】記憶回路 A 603 にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線 610 に入力される 1 ビット分のデジタルビデオ信号が、順に複数のラッチ A（LATA__1～LATA__x）のそれぞれに書き込まれ、保持される。

【0247】なお、本実施例では記憶回路 A 603 にデジタルビデオ信号を取り込む際に、記憶回路 A 603 が有する複数のラッチ A（LATA__1～LATA__x）に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路 A 603 が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【0248】記憶回路 A 603 の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0249】1 ライン期間が終了すると、記憶回路 B 6

04が有する複数のラッチB (LATB__1~LATB__x) に、ラッチ信号線609を介してラッチシグナル (Latch Signal) が供給される。この瞬間、記憶回路A603が有する複数のラッチA (LATA__1~LATA__x) に保持されているデジタルビデオ信号は、記憶回路B604が有する複数のラッチB (LATB__1~LATB__x) に一斉に書き込まれ、保持される。

【0250】デジタルビデオ信号を記憶回路B604に送出し終えた記憶回路A603には、シフトレジスタ602からのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0251】この2順目の1ライン期間中には、記憶回路B604に書き込まれ、保持されているデジタルビデオ信号が定電流回路605に入力される。

【0252】定電流回路605は複数の電流設定回路 (C1~Cx) を有している。電流設定回路 (C1~Cx) のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する1または0の情報によって、信号線に一定の電流Icが流れるか、または信号線に電源線V1~Vxの電位が与えられるか、いずれか一方が選択される。

【0253】図22に電流設定回路C1の具体的な構成の一例を示す。なお電流設定回路C2~Cxも同じ構成を有する。

【0254】電流設定回路C1は定電流源631と、4つのトランSMISSIONゲートSW1~SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ650の極性は、画素が有するトランジスタTr1及びTr2の極性と同一である。

【0255】記憶回路B604が有するLATB__1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0256】SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流IcがSW1及びSW3を介して信号線S1に入力される。

【0257】逆にSW2及びSW4がオンのときは、定電流源631からの電流IcはSW2を介してグラウンドに落とされる。またSW4を介して電源線V1~Vxの電源電位が信号線S1に与えられ、Ic≒0となる。

【0258】再び図21を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路 (C1~Cx) において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力さ

れる信号電流Icの値が選択される。

【0259】次に、第1走査線駆動回路の構成について説明する。

【0260】図23は第1走査線駆動回路641の構成を示すブロック図である。

【0261】第1走査線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0262】第1走査線駆動回路641において、シフトレジスタ642にクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、対応する走査線に供給される。

【0263】走査線には、1ライン分の画素の第1スイッチング用トランジスタ及び第2スイッチング用トランジスタのゲート電極が接続されている。そして、1ライン分の画素の第1スイッチング用トランジスタ及び第2スイッチング用トランジスタを一斉にONにしなくてはならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0264】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図22に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Icが取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【0265】また、第2走査線駆動回路も第1走査線駆動回路と同じ構成を有していても良い。

【0266】本実施例の構成は、実施例1~9と自由に組み合わせて実施することが可能である。

【0267】(実施例11) 本実施例では、アナログのビデオ信号で駆動する本発明の発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、図23において示した構成を用いることができるので、ここでは説明を省略する。

【0268】図24(A)に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0269】シフトレジスタ402には、クロック信号 (CLK)、スタートパルス信号 (SP) が入力されている。シフトレジスタ402にクロック信号 (CLK) とスタートパルス信号 (SP) が入力されると、タイミング信号が生成される。

【0270】生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。なお、バッファの代わりにレ

ベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【0271】図24(B)にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0272】サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図24

(B)では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電流変換回路だけを示しているが、各スイッチ411の後段に、図24(B)に示したような電流変換回路405が接続されているものとする。

【0273】なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0274】サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流(信号電流)を出力する。なお図24ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0275】該信号電流は、同じく電流変換回路405が有するリセット回路417に入力される。リセット回路406は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0276】アナログスイッチ414にはリセット信号(Res)が入力されており、アナログスイッチ413には、インバーター416によって反転されたリセット信号(Res)が入力されている。そしてアナログスイッチ413とアナログスイッチ414は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0277】そして、アナログスイッチ413がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ414がオンのときに電源415の電位が信号線に与えられ、信号線がリセットされる。なお、電源415の電位は、画素に設けられた電源線の電位とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が0に近ければ近いほど良い。

【0278】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0279】なお、本発明の発光装置を駆動する信号線駆動回路及び第1走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例1～実施例10に示した構成と自由に組み合わせて実施することが可能である。

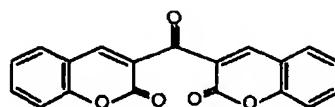
【0280】(実施例12)本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLEDの低消費電力化、長寿命化、および軽量化が可能になる。

【0281】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0282】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0283】

【化1】

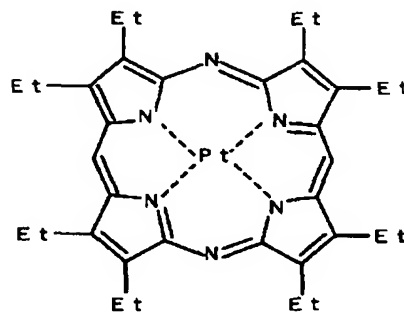


【0284】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0285】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0286】

【化2】

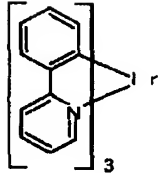


【0287】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys.,38 (12B) (1999) L1502.)

【0288】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0289】

【化3】



【0290】 以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0291】 なお、本実施例の構成は、実施例1～実施例11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0292】 (実施例13) 本実施例では、本発明の発光装置の封止の様子について、図25を用いて説明する。

【0293】 図25は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図25(B)は、図25(A)のA-A'における断面図、図25(C)は図25(A)のB-B'における断面図である。

【0294】 基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0295】 また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとは、複数のTFTを有している。図25(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれるトランジスタTr2 4202を図示した。

【0296】 本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、トランジスタTr2 4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には保持容量(図示せず)が設けられる。

【0297】 駆動TFT4201及びトランジスタTr

2 4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にトランジスタTr2 4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0298】 そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0299】 有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0300】 有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0301】 以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0302】 4005aは電源線に接続された引き回し配線であり、トランジスタTr2 4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4206に電氣的に接続される。

【0303】 シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP

(Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0304】但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0305】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

【0306】また充填材4210を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED4303の劣化を抑制できる。

【0307】図25 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0308】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4206とが、導電性フィラー4300aによって電気的に接続される。

【0309】本実施例の構成は、実施例1～実施例12に示した構成と自由に組み合わせて実施することが可能である。

【0310】(実施例14) OLEDを用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0311】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディス

プレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはデジタルビデオディスク (DVD) 等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置) などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図26に示す。

【0312】図26 (A) はOLED表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、OLED表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0313】図26 (B) はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0314】図26 (C) はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0315】図26 (D) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0316】図26 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的にはDVD再生装置) であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体 (DVD等) 読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A2403、B2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0317】図26 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0318】図26（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0319】ここで図26（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0320】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0321】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0322】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0323】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～13に示したいずれの構成の発光装置を用いても良い。

【0324】

【発明の効果】

【0325】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なる有機発光材料を有するOLEDを設けた場合でも、温度によっ

て各色のOLEDの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の上面ブロック図。

【図2】 本発明の発光装置の画素の回路図。

【図3】 駆動における画素の概略図。

【図4】 アナログ駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図5】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図6】 駆動における画素の概略図。

【図7】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置の画素の回路図。

【図10】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図11】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図12】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図13】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図14】 本発明の発光装置の作製方法を示す図。

【図15】 本発明の発光装置の作製方法を示す図。

【図16】 本発明の発光装置の作製方法を示す図。

【図17】 本発明の発光装置の画素の上面図。

【図18】 本発明の発光装置の画素の断面図。

【図19】 本発明の発光装置の画素の上面図。

【図20】 信号線駆動回路のブロック図。

【図21】 デジタル駆動法における信号線駆動回路の詳細図。

【図22】 デジタル駆動法における電流設定回路の回路図。

【図23】 第1走査線駆動回路のブロック図。

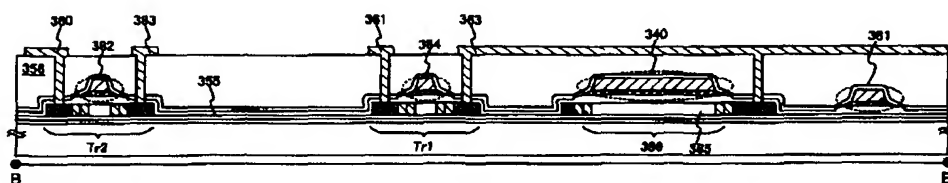
【図24】 デジタル駆動法における信号線駆動回路の詳細図。

【図25】 本発明の発光装置の外観図及び断面図。

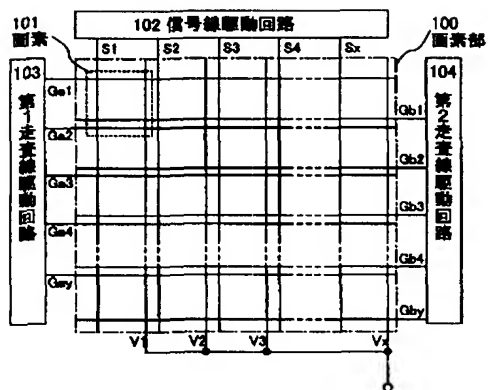
【図26】 本発明の発光装置を用いた電子機器の図。

【図27】 OLEDの電圧電流特性を示す図。

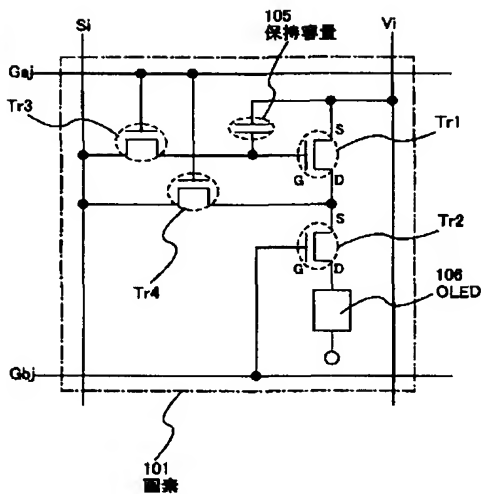
【図18】



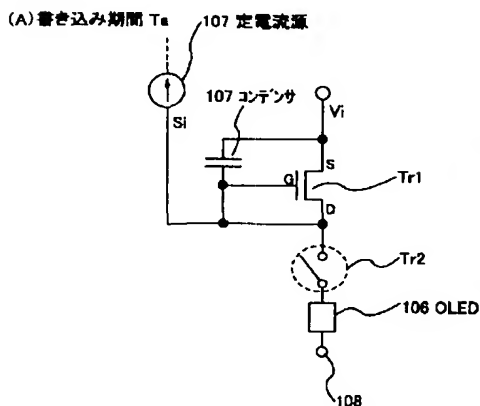
【図 1】



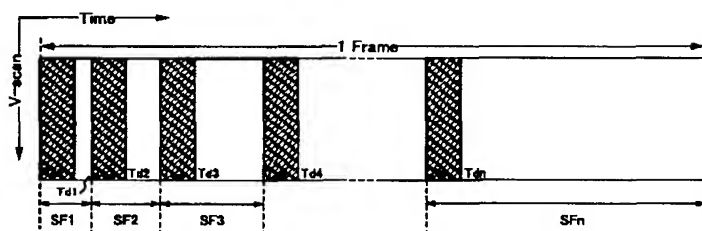
【図 2】



【図 3】



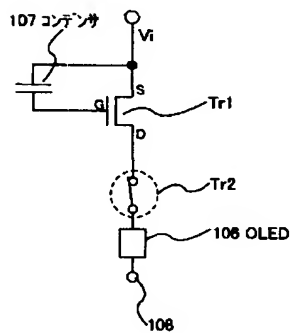
【図 5】



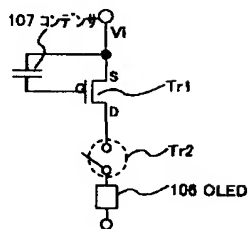
【図 6】

【図 9】

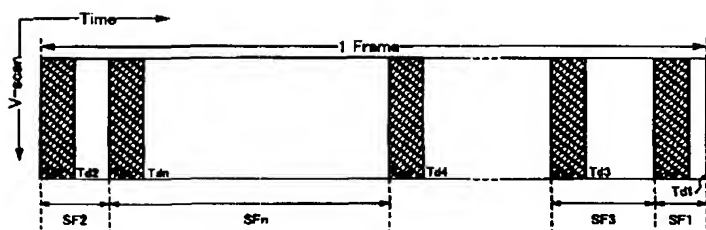
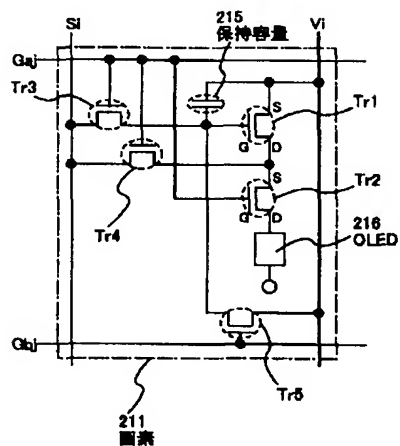
(B) 表示期間 Td



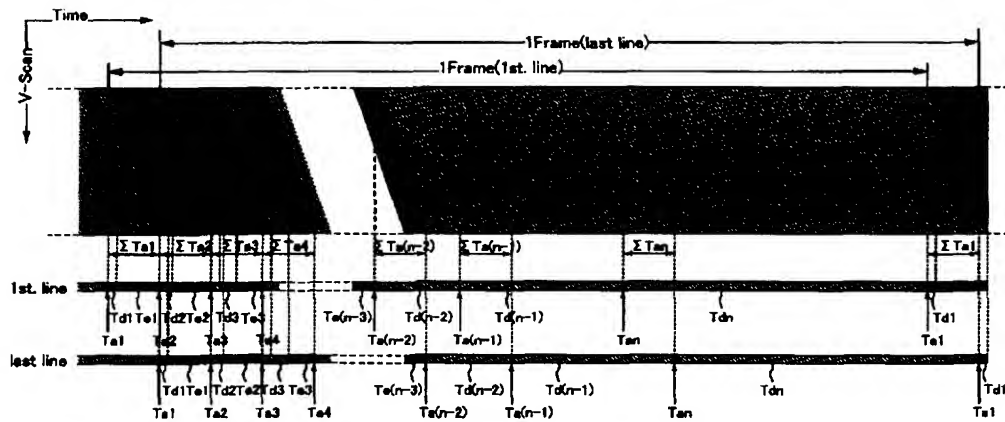
非表示期間 Te (Ge 非選択、Gb 非選択)



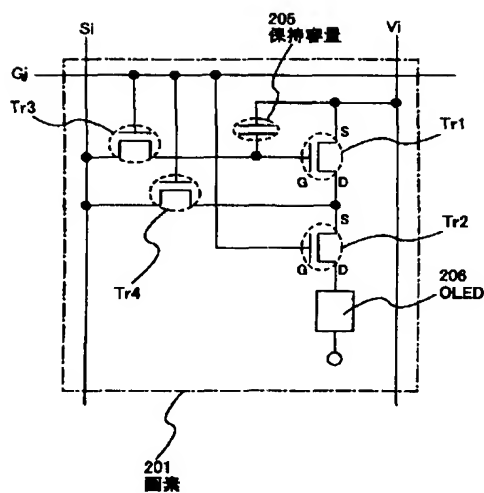
【図 10】



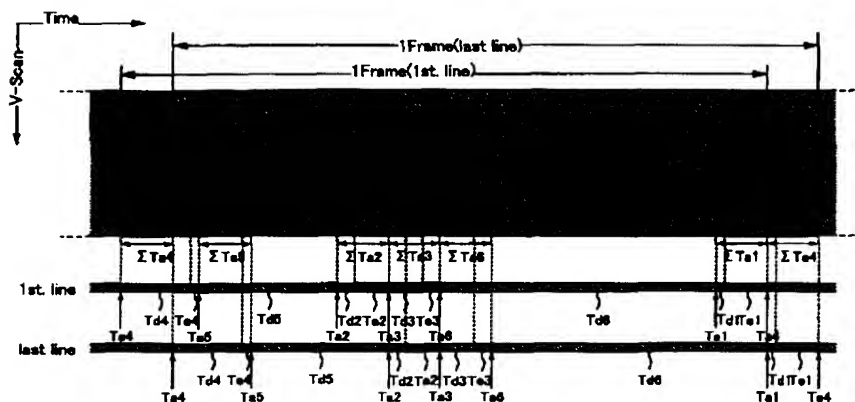
【図7】



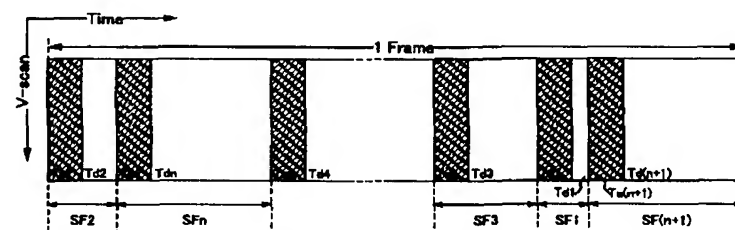
【図8】



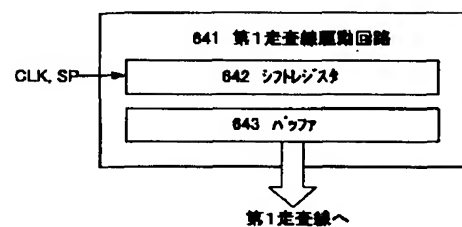
【図12】



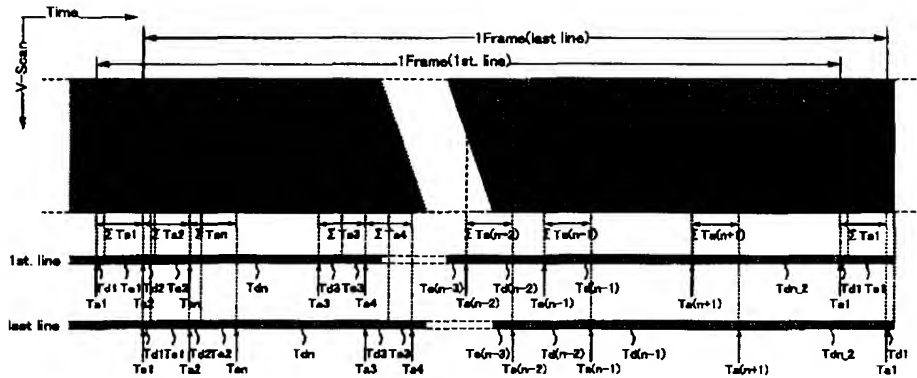
【図11】



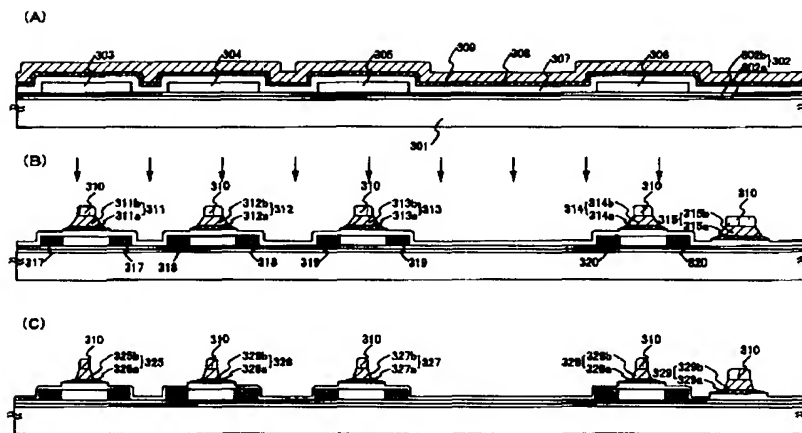
【図23】



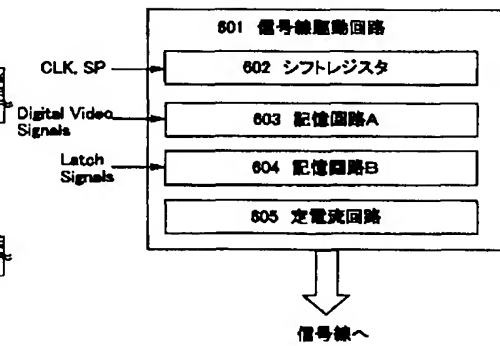
【図 13】



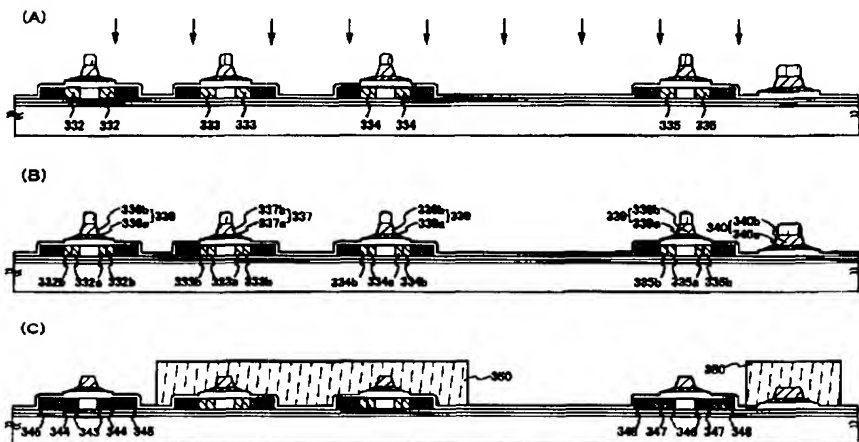
【図 14】



【図 20】



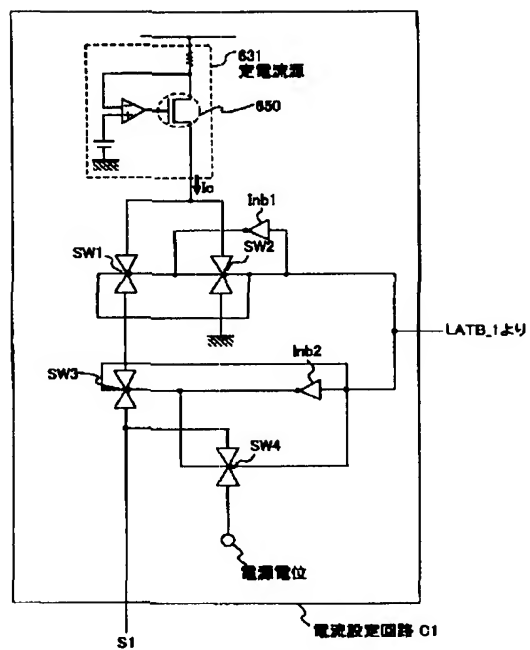
【図 15】



[illegible]

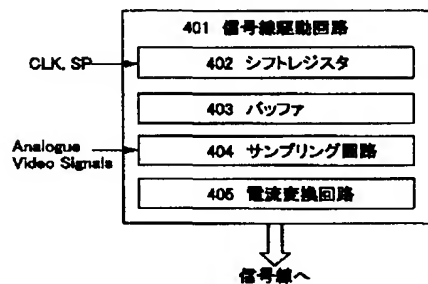
Figure 1 is a block diagram of a signal processing circuit. The circuit is organized into five main horizontal sections, labeled 801 through 805 on the left side. At the top is section 801, labeled "信号処理回路" (Signal Processing Circuit). Below it is section 802, labeled "シフトレジスタ" (Shift Register), which is a long horizontal bar. Below section 802 are three rows of blocks. The first row, section 803, is labeled "データ入力部A" (Data Input Section A) and contains five blocks labeled DATA1, DATA2, DATA3, DATA4, and DATA5. The second row, section 804, is labeled "データ入力部B" (Data Input Section B) and contains five blocks labeled LATA1, LATA2, LATA3, LATA4, and LATA5. The third row, section 805, is labeled "データ出力部" (Data Output Section) and contains five blocks labeled G1, G2, G3, G(α-1), and Gα. On the left side, there are four input lines: CLK, SP, and two unlabeled lines. On the right side, there are five output lines labeled S1, S2, S3, S(α-1), and Sα. The circuit is connected in a sequential manner from left to right.

【図 22】

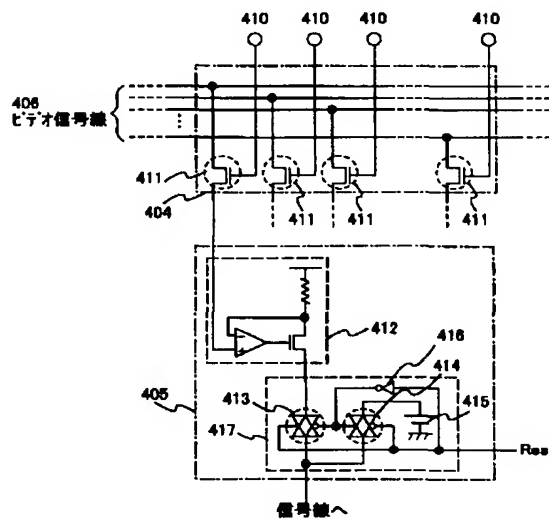


【図 24】

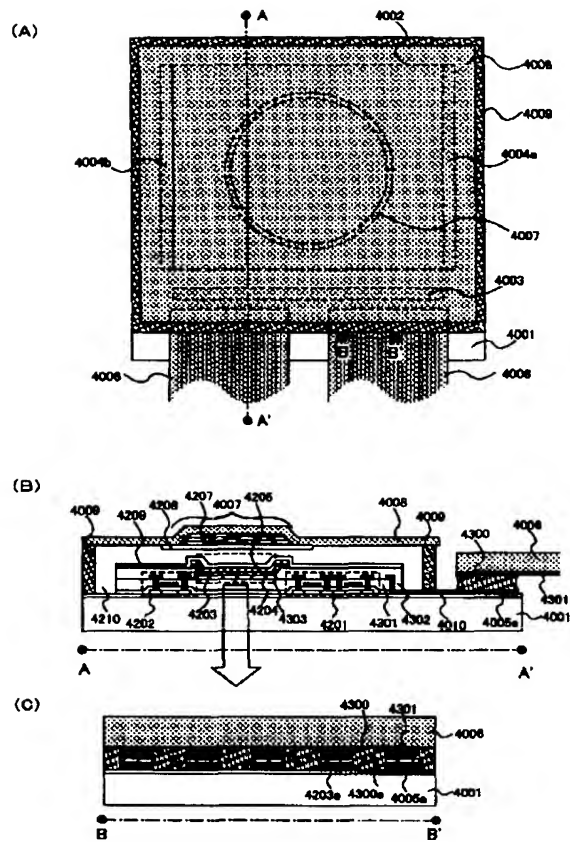
(A)



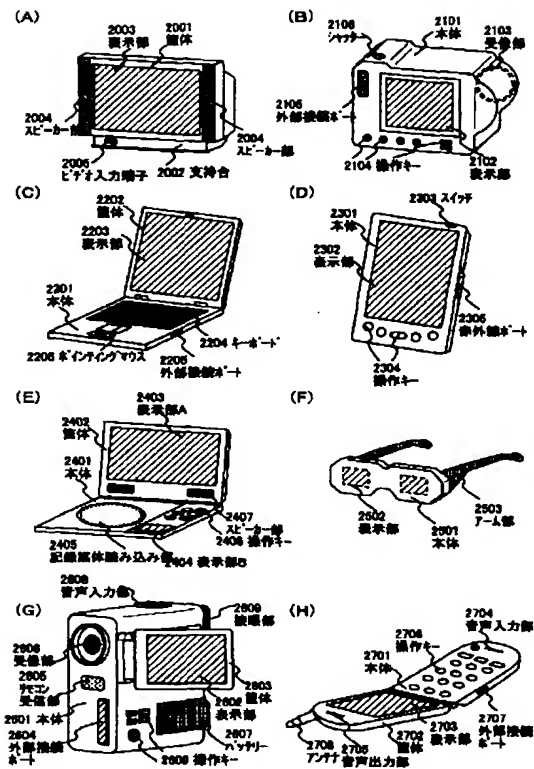
(B)



【図 25】



【図 26】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

G 0 9 G 3/20

G 0 9 G 3/20

6 4 1 E

6 4 2

6 4 2 C

3/30

3/30

K

H 0 5 B 33/14

H 0 5 B 33/14

A

F ターム (参考) 3K007 AB04 AB11 AB17 BB05 DB03
 EA01 GA04
 5C080 AA06 BB05 CC03 DD03 FF12
 JJ02 JJ03 JJ04 JJ05 JJ06
 KK02 KK07 KK43 KK47
 5C094 AA07 AA08 BA03 BA27 CA19
 CA24 DA09 EA04 EA05 FB01
 FB16 HA08